



## 저작자표시 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#) 

공학석사 학위논문

**Gate-recessed AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT의  
HTGB에 따른 문턱전압의 신뢰성에 관한 연구**

**Comprehensive investigation on threshold  
voltage reliability at HTGB on gate-recessed  
AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT**

2015년 2월

서울대학교 대학원

전기 컴퓨터 공학부

최 선 홍

**Gate-recessed AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT의  
HTGB에 따른 문턱 전압의 신뢰성에 관한 연구**

**Comprehensive investigation on threshold  
voltage reliability at HTGB on gate-recessed  
AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT**

지도교수 서 광 석

이 논문을 공학석사 학위논문으로 제출함  
2015 년 2 월

서울대학교 대학원  
전기 컴퓨터 공학부  
최 선 홍

최선홍의 공학석사 학위논문을 인준함  
2015 년 2 월

위 원 장 이 종 호 (인)

부위원장 서 광 석 (인)

위 원 차 호 영 (인)

## 국문초록

AlGaIn/GaN MIS-HEMT(High electron mobility transistor)는 높은 breakdown field, 높은 carrier density, 낮은 gate leakage current와 같은 뛰어난 특성을 바탕으로 고주파 전력 소자로 각광받고 있다. 그러나 GaN 소자가 상용화되기 위해서는 소자들의 열화 메커니즘 및 신뢰성 향상을 위한 연구가 이루어져야 한다.

본 논문에서는 gate-recessed MIS(Metal-insulator-semiconductor)구조를 갖춘 GaN 파워 디바이스를 다양한 동작 조건의 실험을 통해 소자의 문턱 전압의 불안정성에 대해 분석하였으며, 활성화 에너지 추출을 통해 interfacial trap의 원인을 추적하고자 한다.

문턱 전압의 변화는 2DEG(Two dimensional electron gas)의 전자가 dielectric과 recess된 AlGaIn 사이의 interfacial state에 trap 및 de-trap 현상에 의한 것으로 보이므로 여러 surface treatment를 통해 실험을 진행하였다. 주로 진행한 실험 방식은  $V_{DS}=0V$  조건에서 gate bias를 가한 stress test으로 문턱 전압의 이동과 관련된 trap을 분석하기 위함이다. Gate bias는 양 전압과 음 전압의 세기를 다르게 하였으며, HTGB(High temperature gate bias)의 일환으로 같은 gate bias 조건으로  $150^{\circ}C$ 에서 같은 stress test를 진행하였다. 각 surface treatment에 따른 문턱 전압의 이동과 interfacial trap의 농도와의 관계를 보기 위해 conductance method와 CET(capture-emission-time) map을 통해 interfacial trap의 농도를 추출하였다.

문턱 전압의 불안정성과 관련된 interfacial trap의 활성화 에너지가 improved  $V_{TH}$  transient threefold technique의 방식으로 추출되었다. 세 종류의 소자 모두  $0.6\sim 0.64eV$ 의 활성화 에너지를 가지며, 이는 문턱 전압의 이동이 gate recess에 의한 surface damage에 의한 것으로 보인다.

**주요어** : AlGaIn/GaN MIS-HEMT, surface treatment, threshold voltage instability, high temperature gate bias stress, interfacial trap density

**학 번** : 2013-20894

# 목 차

초록 .....	i
목차 .....	ii
제 1 장 서론 .....	1
1.1 연구배경 .....	1
1.2 개요 .....	5
제 2 장 $V_{DS}=0V$ condition stress & CET map .....	6
2.1 측정된 소자의 소개 .....	6
2.1.1 측정된 소자의 구조와 공정순서 .....	6
2.1.2 DC I-V 그래프 및 gate bias stress .....	8
2.2 $V_{DS}=0V$ condition stress test both at HTGB ...	11
2.2.1 $V_{TH}$ instability at positive gate bias .....	11

2.2.2 $V_{TH}$ instability at negative gate bias .....	16
2.3 Extended CET map .....	19
제 3 장 Extraction of activation energy from slow detrapping phenomenon .....	24
3.1 $V_{TH}$ transient three-fold technique .....	24
3.2 $E_a$ extraction from the data of de-trapping .....	27
제 4 장 결론 및 앞으로의 과제 .....	31
4.1 결론 .....	31
4.2 앞으로의 과제 .....	32
참고문헌 .....	33
Abstract .....	38

# 표 목 차

[표 1-1] 반도체 재료의 물질적 특성 .....	1
[표 2-1] AlGaN/GaN HEMTs의 공정 개괄도 .....	7
[표 2-2] 전류 level에 따른 각 소자의 gate bias 값을 나타낸 표 .....	10

## 그림 목 차

[그림 1-1] GaN의 전력 응용 분야와 시장의 크기 .....	2
[그림 1-2] AlGaN/GaN hetero-structure .....	2
[그림 1-3] GaN HEMT를 E-mode 동작시키기 위한 기술 .....	3
[그림 1-4] Gate bias에 따른 문턱 전압 이동의 원리 .....	4
[그림 2-1] Gate-recessed AlGaN/GaN MIS-HEMT 구조 .....	6
[그림 2-2] 각 소자의 transfer curve .....	10
[그림 2-3] 상온에서 각 소자의 positive gate bias에 대한 문턱 전 압의 변화를 나타냄. y축은 문턱 전압( $V_{TH}$ ) .....	12
[그림 2-4] 상온에서 각 소자의 positive gate bias에 대한 문턱 전 압의 변화를 나타냄. y축은 문턱 전압의 변화( $\Delta V_{TH}$ ) .....	14
[그림 2-5] 상온과 150°C에서 각 소자의 positive gate bias에 대한 문턱 전압의 변화를 나타냄 .....	15

[그림 2-6] 상온에서 각 소자의 negative gate bias(-6V, -12V)에 대한 문턱 전압의 변화를 나타냄 .....	17
[그림 2-7] 150℃에서 각 소자의 negative gate bias(-6V, -12V)에 대한 문턱 전압의 변화를 나타냄 .....	18
[그림 2-8] [15]에서의 CET map 전 측정 .....	19
[그림 2-9] [15]에서의 CET map .....	20
[그림 2-10] 각 소자에 대한 CET map과 color scale을 나타냄 .....	23
[그림 3-1] Silvaco Atlas로 전산 모사된 gate 아래의 gate metal ~ GaN buffer layer에서의 band diagram .....	25
[그림 3-2] 80℃에서 N <sub>2</sub> O digital etching 샘플의 문턱 전압의 변화를 보인 그래프 .....	25
[그림 3-3] N <sub>2</sub> O digital etching한 샘플의 서로 다른 온도(60℃, 80℃, 90℃, 100℃, 120℃)의 recovery 문턱 전압의 변화 .....	27
[그림 3-4] N <sub>2</sub> O digital etching한 샘플의 $\partial V_{TH}/\partial \log_{10}(t)$ 와 $\log_{10}(t)$ 간의 그래프 .....	28
[그림 3-5] N <sub>2</sub> O digital etching한 샘플의 $V_{TH}$ 에 대한 time constant를 arrhenius plot으로 나타낸 그래프 .....	28

[그림 3-6] 각 샘플의 미분 그래프 ..... 29

[그림 3-7] 각 샘플들의  $V_{TH}$ 에 대한 time constant를 arrhenius plot으로 나타낸 그래프 ..... 30

# 제 1 장 서론

## 1.1 연구배경

에너지를 절감하기 위해 반도체 소자 영역에서 고효율 전력 반도체 개발에 대한 수요가 점차 증가하고 있다. 현재 전력 반도체 소자 시장에서 기존 Si 기반의 전력 반도체는 많은 발전을 이루었지만, 그 물질적 특성으로 인해 소형화, 고효율화된 반도체를 개발하기에는 한계에 도달하고 있다. 이를 극복하기 위하여 화합물 반도체 기반의 소자에 대한 연구가 활발히 이루어지고 있다. [1]

그 중 특히 GaN가 우수한 물질 특성을 갖추고 있기 때문에, 전력 반도체 소자 제작에 있어서 매력적인 물질로 알려져 있다. [2] 아래의 표 1-1에서 확인할 수 있듯이, GaN는 높은 breakdown field 특성을 가지기 때문에 우수한 항복전압 특성으로 스위치의 off상태에서 높은 전압을 버틸 수 있다. 동시에, 높은 전자 이동도를 가지기 때문에 작은 on 저항 특성을 가지게 된다. [3] 이로써, Si보다 GaN를 통해 고효율의 switching 소자의 구현이 가능하게 된다. 전력 소자의 시장 크기와 GaN의 고전력 응용 분야는 그림 1-1에서 확인할 수 있다.

Parameter	Si	GaAs	4H-SiC	GaN
Band gap energy (eV)	1.1	1.42	3.26	3.39
Max. breakdown voltage [MV/cm]	0.3	0.4	3.0	3.3
Saturation velocity ( $10^7$ cm/s)	1.0	1.0	2.0	2.5
$n_i$ ( $\text{cm}^{-3}$ )	$1.5 \times 10^{10}$	$1.5 \times 10^6$	$8.2 \times 10^9$	$1.9 \times 10^{10}$
$\mu_n$ ( $\text{cm}^2/\text{V}\cdot\text{s}$ )	1350	8500	700	1200 (bulk) 2000 (2DEG)

표 1-1. 반도체 재료의 물질적 특성

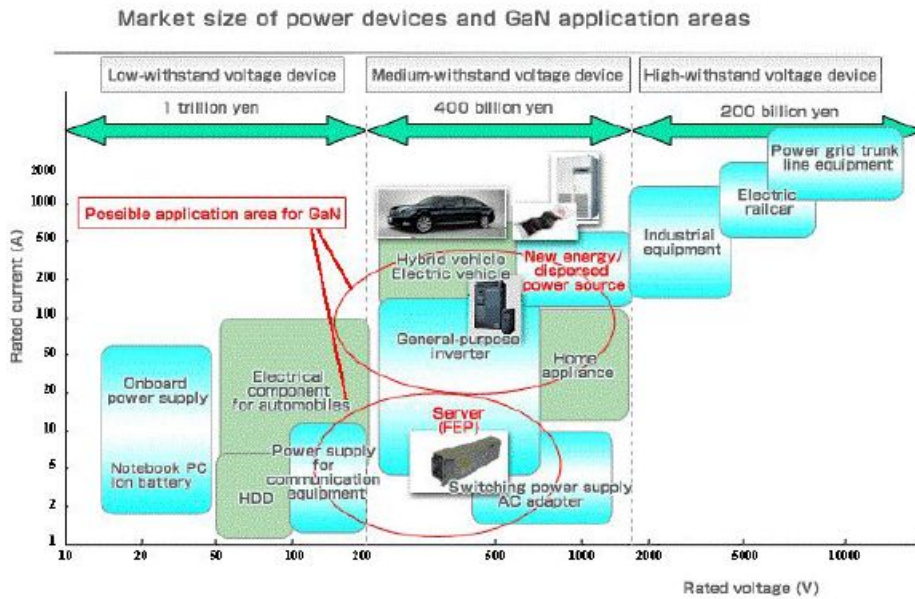


그림 1-1. GaN의 전력 응용 분야와 시장의 크기

AlGaN/GaN hetero-structure에서는 그림 1-2에서와 같이 자연 분극(spontaneous polarization)과 압전 분극(piezoelectric polarization)으로 인해 2DEG(2-dimensional electron gas)가 발생하게 되는데, 이는 AlGaN과 GaN 사이의 lattice mismatch에 의한 것이다. [4]

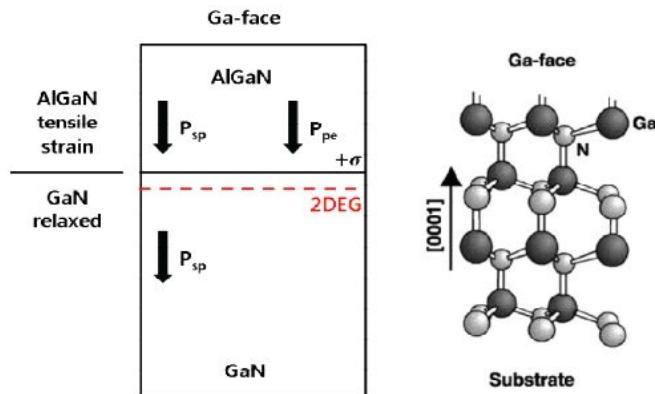


그림 1-2. AlGaN/GaN hetero-structure

AlGaN/GaN HEMT(High electron mobility transistor)는 2DEG 로 doping을 하지 않고도 매우 높은 전자 밀도를 가질 수 있게 되었다. [5] 이 2DEG channel을 통해, 높은 전자 이동도를 가지며, on-state 저항도 효과적으로 줄일 수 있어, 전력 손실을 줄일 수 있다는 장점을 가진다. 하지만, 2DEG channel이 HEMT 소자를 normally-on 동작을 하도록 만드는데, 이는 normally-off 동작이 필요한 기존의 Si 전력 반도체의 구동 회로에 호환되지 않는다. [6] 이러한 호환 문제로 GaN 전력 반도체에 normally-off 동작은 반드시 필요하게 되었다.

GaN HEMT를 E-mode(Enhancement mode), 즉 normally-off 동작시키게 만드는 기술은 여러 가지가 존재한다. p-GaN epi layer를 이용한 p-GaN gate normally-off 기술 [7], gate 증착 전에 F<sup>-</sup> plasma를 처리하는 F treatment normally-off 기술 [8], 두 소자 GaN HEMT와 Si MOSFET를 cascode하여 normally-off 동작을 구현하는 기술, gate-recess MIS(Metal-insulator-semiconductor)로 normally-off 동작을 구현하는 기술, 등이 있다. 이는 그림 1-3에 그림으로 간략히 표현되어 있다. 이 기술들 중에 gate-recess 구조를 가진 MIS 기술을 사용하였다.

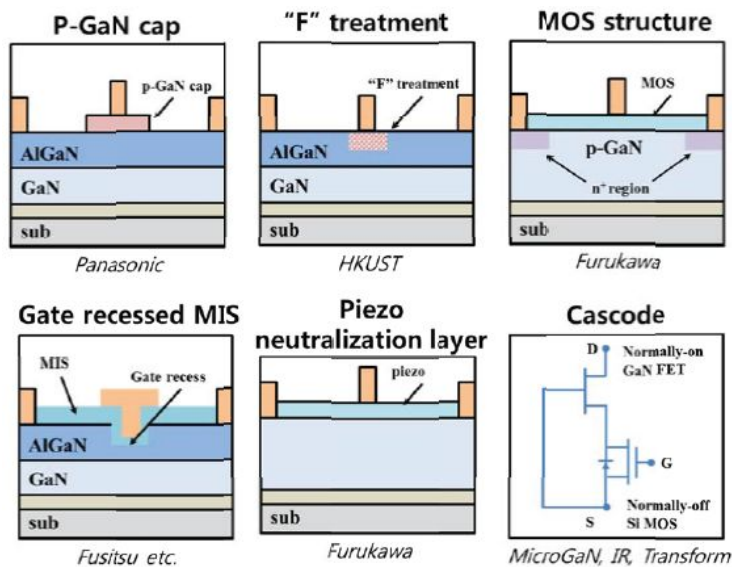


그림 1-3. GaN HEMT를 E-mode 동작시키기 위한 기술

소자의 performance 외에도, stability와 reliability는 소자의 상용화를 위한 기본이 되는 요소이다. GaN power 소자가 높은 reliability를 지니기 위해서는 높은 power level, 높은 switching 주파수, 그리고 높은 온도에서 작동할 수 있는지에 대한 여부를 보아야 한다. [9]

소자 level에서 reliability issue는 여러 가지가 있는데, 높은 switching 주파수에서 동작하는 것과 관련해서는 current collapse issue가 있다. [10] 높은 전력 level에 관해서는 breakdown issue가 있으며, 이에 파생되어 높은 전력에서 작동하는 동안의 thermal management과 관련하여 thermal issue가 존재한다. [11] 그리고 본 논문에서 주로 다룰 주제인 threshold voltage shift (문턱 전압 이동) issue가 존재한다. [12]

문턱 전압 이동 문제는 GaN power 스위치 소자의 동작 안정성을 저하시키며, 구동 회로가 제대로 기능하지 못하게 만들 수 있다. [13] 이러한 문턱 전압의 변화는 dielectric과 AlGaIn 사이의 interface의 trapping effect에 의한 것으로, interface에 존재하는  $GaO_x$ 와 같은 원치 않는 oxide가 trap의 원인으로 보고 있다. [14]

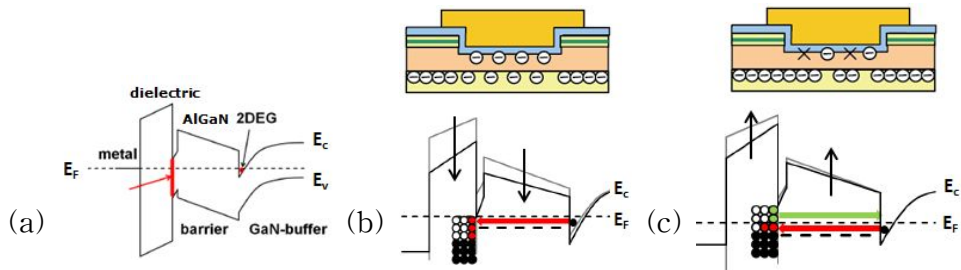


그림 1-4. Gate bias에 따른 문턱 전압 이동의 원리. (a) Gate-recess MIS 구조의 단면도. (b) Positive gate bias가 주어질 때 interface trap이 occupy됨. (c) Negative gate bias가 주어질 때 interface trap의 전자가 emit됨.

위의 그림 1-4으로 설명하자면, interface과 2DEG간 전자가 이동을 하게 되면서 문턱 전압이 이동하는 것으로 보이며, 그 원인은 gate metal과 channel 사이의 전기장에 의한 것으로 본다. (b)에서 positive gate bias가 걸리는 경우, 2DEG의 전자가 dielectric/AlGaIn interface로

넘어가 trap되면서 channel의 전자를 밀어내면서 문턱 전압이 positive shift되는 것으로 보고 있으며, (c)에서는 반대로 interface에 trap된 전자가 emit되면서 문턱 전압이 negative shift되는 것으로 보인다. [15]

GaN 전력 소자의 상용화를 위해서는 소자들의 열화 메커니즘을 밝히거나 신뢰성을 향상시키는 것이 중요하다. 하지만, 전력 소자용 gate-recessed GaN MIS-HEMT에서는 신뢰성에 관한 연구가 부족한 상태이며, gate recess구조에서 recess로 인한 damage에 대한 문턱 전압의 변화에 관련된 문제를 논하는 연구는 더욱 부족한 상태이다.

## 1.2 개요

본 논문에서는 gate dielectric 증착 전 여러 가지 treatment를 이용하여 gate-recessed AlGaIn/GaN HEMT 소자의 특정 stress 조건에서 발생하는 문턱 전압 이동 현상의 개선에 관한 연구를 진행하였다. Gate dielectric 증착 전 행한 treatment의 종류는 HCl wet treatment, N<sub>2</sub>O digital etching, (NH<sub>4</sub>)<sub>2</sub>S wet treatment이며, interface trap의 원인이 되는 GaO<sub>x</sub>와 같은 oxide를 제거하여 문턱 전압의 불안정성을 해소시키기 위함이다. [14, 15] HCl의 경우 oxide를 제거하는데 일반적으로 쓰인다. [16] N<sub>2</sub>O digital etching의 경우 N<sub>2</sub>O로 산화시킬 경우가 O<sub>2</sub>로 산화시켜 HCl로 etching할 경우보다 더 적은 defect를 발생시킨다고 한다. [17] (NH<sub>4</sub>)<sub>2</sub>S의 경우, Ga-S bond를 형성하여 GaO<sub>x</sub>의 발생을 효과적으로 예방한다고 한다. [18]

Gate와 channel 사이에 걸리는 전기장에 의한 문턱 전압의 이동을 관찰하기 위해 stress 조건은 V<sub>DS</sub>=0V state로 정하였으며, gate 전압은 positive, negative 및 상온과 150℃ 조건에서 측정되었다. 각 treatment에 따른 interface trap 발생의 억제 및 문턱 전압 이동의 감소를 관찰하고, 문턱 전압에 대한 활성화 에너지의 추출을 통해 문턱 전압의 원인을 추적하였다.

## 제 2 장 $V_{DS}=0V$ condition stress & CET (capture-emission time) map

### 2.1 측정된 소자의 소개

#### 2.1.1 측정된 소자의 구조와 공정 순서

그림 2-1은 본 연구에서 측정될 gate-recess 구조의 AlGaIn/GaN MIS-HEMT의 구조를 나타내었다.

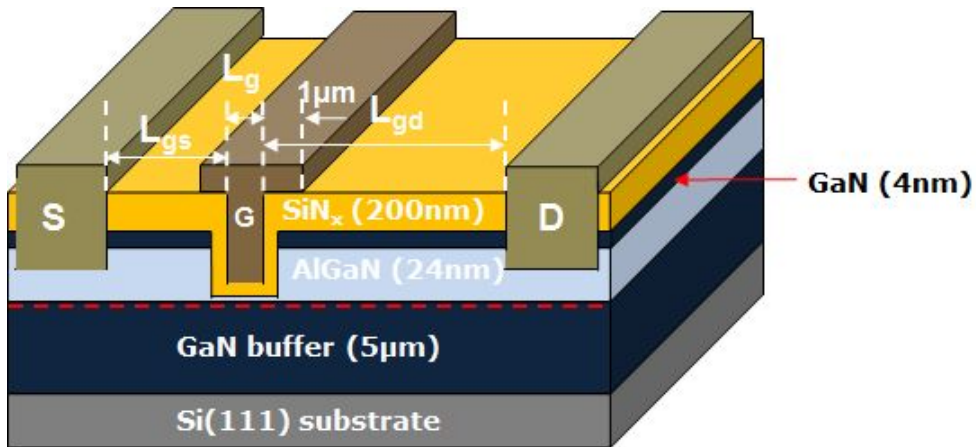


그림 2-1. Gate-recessed AlGaIn/GaN MIS-HEMT 구조

Epi 구조는 n-type의 실리콘 기판 위에 5μm의 GaN buffer layer, 24nm의 AlGaIn layer, 그리고 4nm의 GaN capping layer으로 구성되어있다. Gate length( $L_g$ )는 2μm, overhang은 1μm, gate-drain, gate-source 간의 거리는 각각 3μm, 15μm이다.

Passivation layer의 경우, PEALD(Plasma enhanced atomic layer deposition)로 증착된  $\text{SiN}_x$  2nm와 그 위에 ICPCVD(Inductively

coupled plasma chemical vapor deposition)로 증착된 SiN<sub>x</sub> 200nm로 이루어져 있다. Gate dielectric의 경우, PEALD로 증착된 SiN<sub>x</sub> 5nm와 그 위에 ICPCVD로 증착된 SiN<sub>x</sub> 25nm로 이루어져 있다.

표 2-1은 본 연구에서 측정될 gate-recess 구조의 AlGaIn/GaN MIS-HEMT의 개괄적인 공정 순서를 나타내고 있다.

1	Mesa isolation
2	Pre-passivation
3	Ohmic metal deposition
4	Pre-passivation film removing ( SF <sub>6</sub> (10W), 2min )
5	Passivation layer deposition
6 (Gate recess)	SiN <sub>x</sub> Opening
	AlGaIn etching (AlGaIn 20Å remain)
	PR removing (아세톤, 메탄올, IPA + SPM)
7	<b>Surface treatment</b>
	<b>1. HCl (1:3) 10min</b>
	<b>2. 1 + N<sub>2</sub>O digital 1 cycle</b>
	<b>3. 1 + (NH<sub>4</sub>)<sub>2</sub>S 10min, 60°C</b>
8	Gate dielectric deposition
9	Post deposition annealing (500°C , 10min)
10	Gate metal deposition

표 2-1. AlGaIn/GaN HEMTs의 공정 개괄도

먼저, 소자 간의 isolation을 위해 BCl<sub>3</sub>/Cl<sub>2</sub>를 기반으로 된 ICP-RIE(Inductive coupled plasma-reactive ion etching)을 이용한 MESA isolation을 시행한다. 다음으로, 높은 온도에서의 ohmic annealing에 의한 GaN surface의 데미지 및 nitrogen vacancy의 형성을 줄이기 위해 15nm의 SiN<sub>x</sub>의 pre-passivation 층이 증착된다. [19] 그 후, drain과 source ohmic contact을 형성할 때, ohmic metal은 Si/Ti/Al/Mo/Au(=5/20/80/35/50nm)순으로 증착되었으며, 800°C에서 30초의 RTA(Rapid thermal annealing)방식의 어닐링을 진행하였다. SF<sub>6</sub> plasma를 통해 pre-passivation layer을 etch 후, passivation layer를 증착하였다. 그 후, gate recess 과정을 거치게 되는데, SiN<sub>x</sub>는 SF<sub>6</sub> plasma

통해 etching, AlGaN은 2nm만 남겨둔 채  $\text{BCl}_3/\text{Cl}_2$ 로 etching하였다.

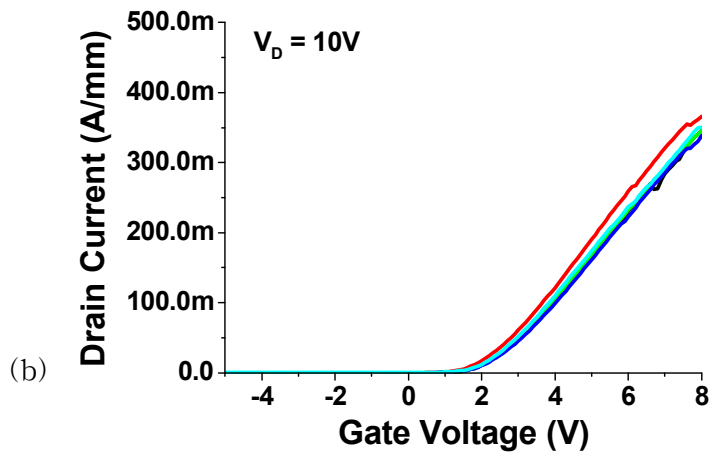
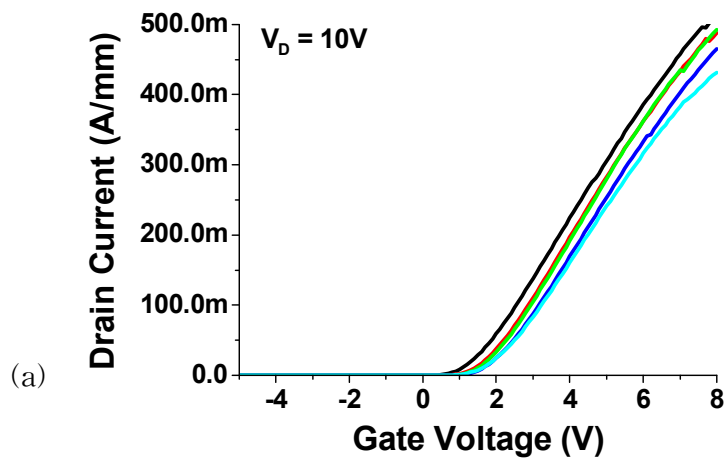
그 이후의 과정에서 3개의 샘플에 각각 다른 surface treatment를 처리하였다. 첫 번째 샘플은 상온에서  $\text{HCl}(1:3)$ 을 10분 동안 wet treatment한 샘플이며, 두 번째 샘플은 같은 조건으로  $\text{HCl}$ 에서 처리 후,  $\text{N}_2\text{O}$  digital etching을 1cycle 처리한 샘플이다. 세 번째 샘플은 같은 조건으로  $\text{HCl}$ 에서 처리 후,  $60^\circ\text{C}$ 에서  $(\text{NH}_4)_2\text{S}$ 을 10분 동안 wet treatment한 샘플이다. 그 후에 gate dielectric이 증착되었으며, post dielectric annealing과정으로서  $500^\circ\text{C}$ 에서 10분 동안 RTA방식으로 어닐링을 진행하였다.

마지막 과정은 gate metal을 증착하는 과정으로 먼저 gate와 ohmic 부위에 증착된  $\text{SiN}_x$ 을  $\text{SF}_6$  plasma 통해 etching하였다. 그 후, gate metal은  $\text{Ni}/\text{Au}(=40/360\text{nm})$ 순으로 증착되었다.

## 2.1.2 DC I-V 그래프 및 gate bias stress

이번 실험에서는 gate dielectric 증착 전의 surface treatment 종류( $\text{HCl}$ ,  $\text{N}_2\text{O}$ ,  $(\text{NH}_4)_2\text{S}$ )로 split된 소자 3개에 대하여 문턱 전압의 신뢰성 측정을 행하여, 측정된 신뢰성 정도를 비교하는 것이 실험의 목적이다. Stress condition은  $V_{\text{DS}}=0\text{V}$  형식(gate bias는 positive로 stress가 가해짐)으로 진행될 것이다. Gate bias가 negative인 경우는 같은 gate bias로 stress를 가하여 비교하여 critical voltage 및 acceleration test를 시행한다. [20] Gate bias가 negative인 경우 HEMT의 channel이 deplete되기 때문에 전기장에 의한 degradation만을 고려하면 되므로 같은 gate bias를 가하면 된다. 하지만 stress를 가할 gate bias가 positive인 경우, channel이 deplete되지 않기 때문에 performance의 지표 중 drain 전류와 gate 전압의 관계를 나타내는 transfer curve를 살펴보았다. 각 소자의 transfer curve는 아래의 그림 2-2를 통해 볼 수 있다. 문턱 전압 이동의 원인이 channel로부터 넘어온 전자의 interface에서의 trapping에 의한

것으로 보기 때문에, 아래의 각 소자의 transfer curve로부터 같은 전류 level에 대응되는 gate 전압을 stress를 가하는 gate bias로 설정할 것이다. 세 소자의 문턱 전압 이동 정도가 비교될 전압의 level들이 표 2-2에서 정리되었음을 볼 수 있으며, 각 전압 level에 대한 drain 전류도 명시되어있음을 볼 수 있다. 같이 비교될 전압 level들도 각각 0.5V의 차를 나타내므로 전기장에 의한 영향도 큰 차이가 없을 것으로 보인다.



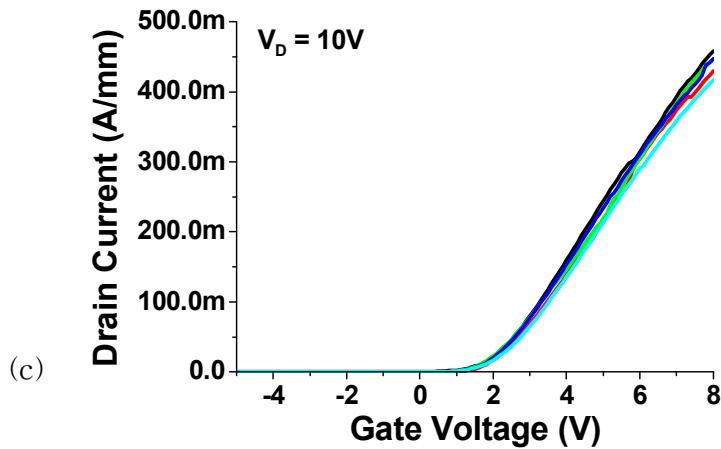


그림 2-2. 각 소자의 transfer curve. 각각 (a) HCl(1:3) 10min (b) N<sub>2</sub>O digital etching 1cycle (c) (NH<sub>4</sub>)<sub>2</sub>S 60°C 10min 처리한 소자이다. 각 소자 모두 5개의 샘플의 transfer curve를 나타내고 있다.

HCl	Gate (V)	1.5 V	2.5V	3.5V	4.5V	HCl	N2O	(NH <sub>4</sub> ) <sub>2</sub> S	I <sub>D</sub> level (mA/mm)	
	ID(mA/mm)	19.52	73.81	154.18	230.98		1.5 V	2.5 V	2 V	20
N <sub>2</sub> O	Gate (V)	2.5V	3.5V	4.5V	5.5V	→	2.5 V	3.5 V	3 V	74
	ID(mA/mm)	21.92	74.17	146.89	223.38		3.5 V	4.5 V	4 V	150
(NH <sub>4</sub> ) <sub>2</sub> S	Gate (V)	2V	3V	4V	5V		4.5 V	5.5 V	5 V	225
	ID(mA/mm)	20.18	74.72	149.82	227.42					

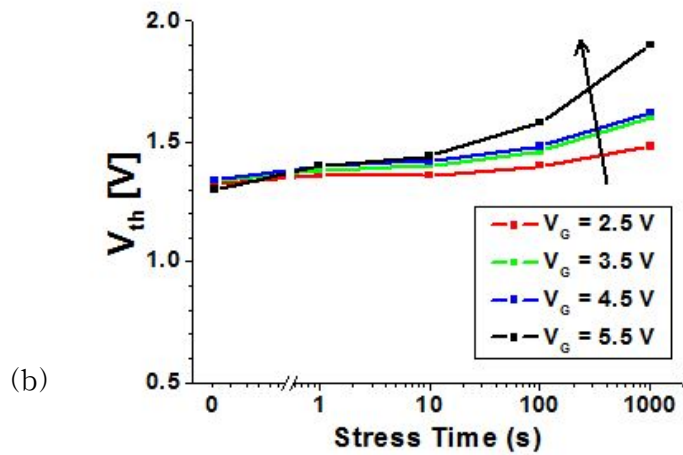
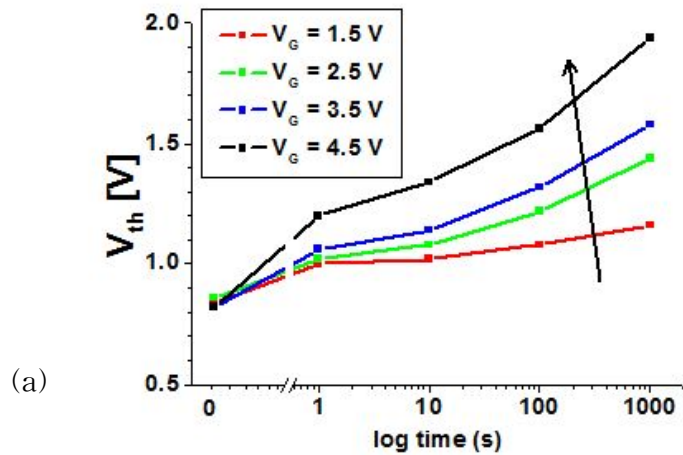
표 2-2. 전류 level에 따른 각 소자의 gate bias 값을 나타낸 표. 좌측은 각 소자의 gate 전압에 대한 각 drain 전류 값을 나타낸 것이며, 우측은 같은 drain 전류의 level에 대해 각 소자의 gate 전압을 분류하였다.

실험에서 gate bias를 positive 뿐만 아닌 negative bias의 stress에 의한 문턱 전압의 이동도 살펴보았으며, 각 positive gate bias stress와 negative bias stress의 150°C 환경에서의 문턱 전압 이동을 측정하였다. 높은 온도에서의 신뢰성을 측정함에 있어서 gate bias stress를 가하는 것을 HTGB(High temperature gate bias) stress라 한다. [21]

## 2.2 $V_{DS}=0V$ condition stress test at HTGB

상온과  $150^{\circ}C$  환경에서 surface treatment으로 split을 행한 gate recess 구조를 가진 AlGaIn/GaN MIS-HEMT의 gate에 positive bias와 negative bias를 가하였다.

### 2.2.1 $V_{TH}$ instability at positive gate bias



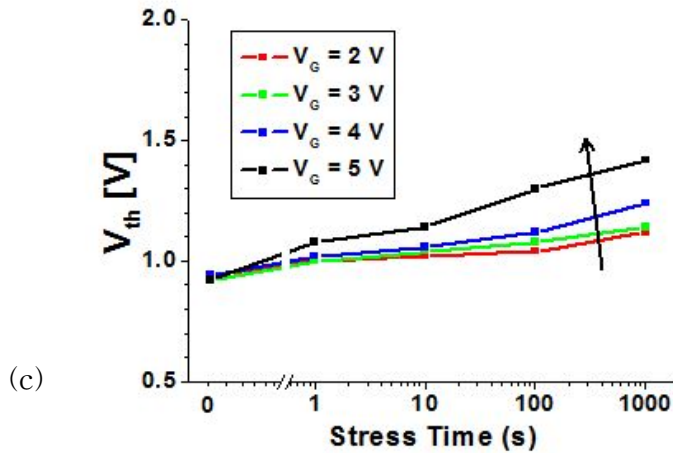
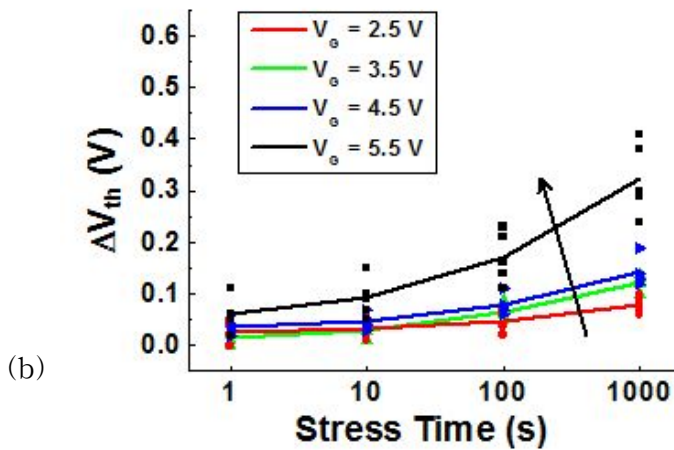
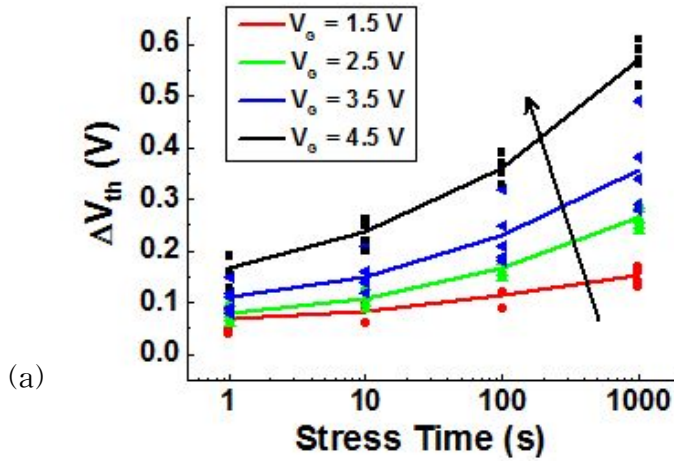


그림 2-3. 상온에서 각 소자의 positive gate bias에 대한 문턱 전압의 변화를 나타냄. y축은 문턱 전압( $V_{TH}$ ). (a) HCl (b)  $N_2O$  digital etching (c)  $(NH_4)_2S$

문턱 전압( $V_{TH}$ )의 정의는  $V_D=10V$ 의 transfer curve에서  $1mA/mm$ 의 전류가 흐를 때의 게이트 전압이다. 위의 그림 2-3에서, gate bias stress를 각각 0초, 1초, 10초, 100초, 1000초를 가했을 때의 문턱 전압을 나타내고 있다. 화살표는 gate bias가 커질수록 문턱 전압이 시간에 따라 positive shift함을 보인다. HCl만을 처리한 소자의 문턱 전압의 변화가 가장 크고,  $N_2O$  digital etching,  $(NH_4)_2S$ 를 처리한 소자의 경우 그에 비해 상대적으로 작은 변화를 보임을 알 수 있다. 하지만, 각 소자에서 표시된 positive gate bias stress에 의한 문턱 전압의 변화를 나타내는데 있어서, y축을 단순히 문턱 전압( $V_{TH}$ )으로 표현하는 데에는 한계가 있다. 이는 각 측정된 소자가  $t=0(s)$ 에서의 문턱전압이 각 gate bias마다 다를 경우 각 소자의 문턱 전압의 변화를 보는데 가독성이 떨어진다. 그리고 각 소자에서 여러 샘플들을 측정할 경우 여러 개의 문턱 전압의 변화를 동시에 보여주기에는 부적합하다고 판단되었다. 그리하여, 다음 측정 그래프들은 y축을 문턱 전압의 변화( $\Delta V_{TH}(t)=V_{TH}(t)-V_{TH}(t=0)$ )로 나타내었다.

아래의 그래프(그림 2-4)는 y축을 문턱 전압의 변화( $\Delta V_{TH}(t)$ )로 설정하여 나타내었으며, 각 gate bias stress에 대한 5개의 측정된 샘플들의 문턱 전압의 변화 및 그 평균값들이 점과 선으로 나타나있다. 각 점들은 각 샘플들의 시간에 따른 문턱 전압의 변화 정도를 나타내며, 각 선들은 그 5개의 샘플들의 문턱 전압의 변화를 평균화한 것이다.



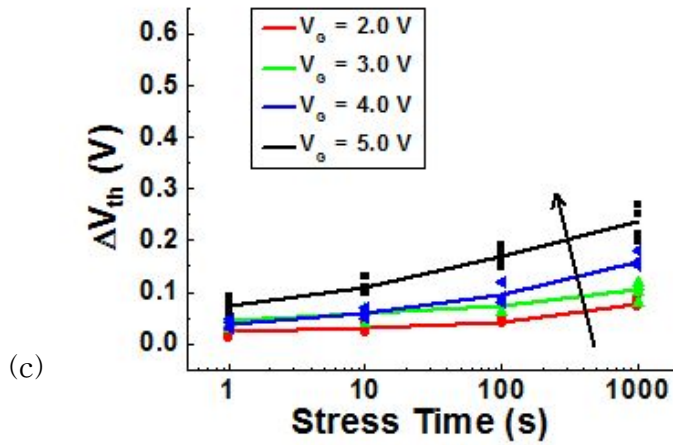
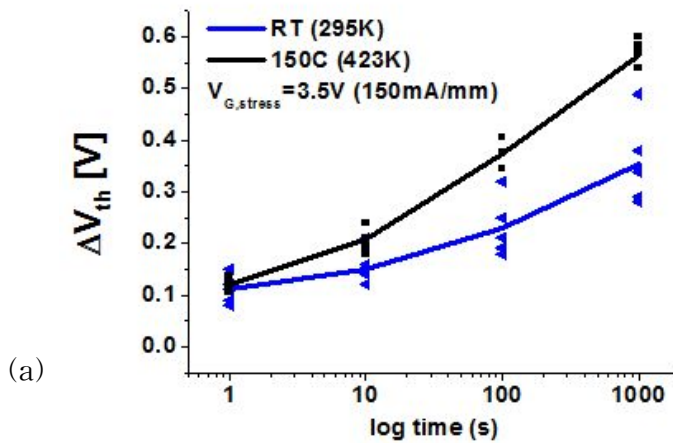


그림 2-4. 상온에서 각 소자의 positive gate bias에 대한 문턱 전압의 변화를 나타냄. y축은 문턱 전압의 변화( $\Delta V_{TH}$ ). (a) HCl (b)  $N_2O$  digital etching (c)  $(NH_4)_2S$

위의 그림 2-4에서도 샘플 하나로 측정한 그림 2-3과 같이, HCl 만을 처리한 소자의 문턱 전압의 변화가 가장 크고,  $N_2O$  digital etching,  $(NH_4)_2S$ 를 처리한 소자의 경우 그에 비해 상대적으로 작은 변화를 보임을 알 수 있다.



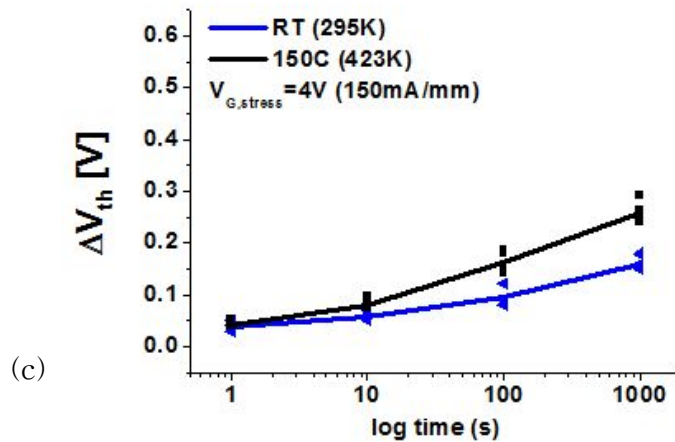
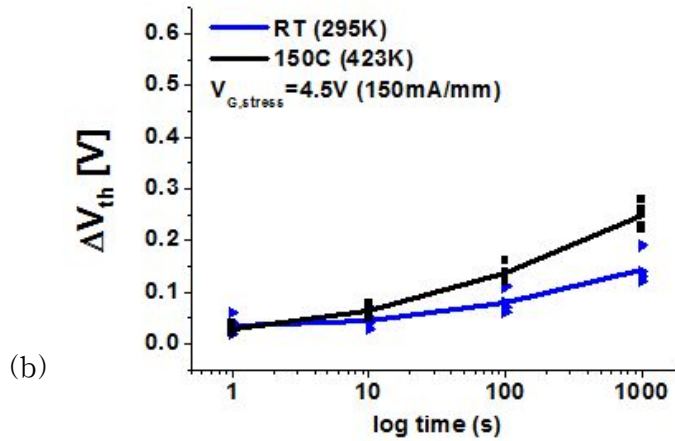


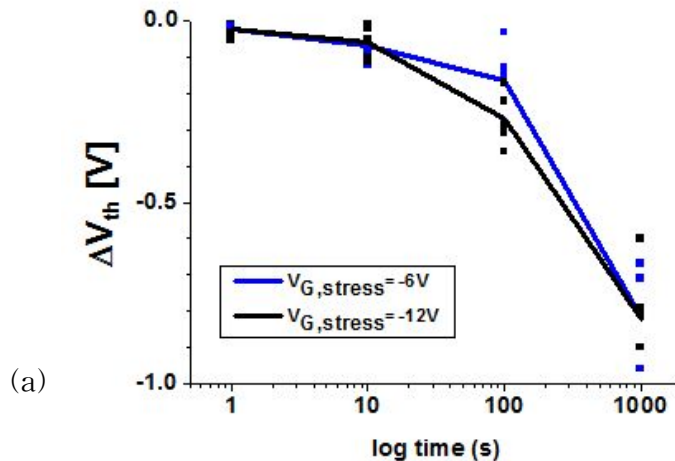
그림 2-5. 상온과 150°C에서 각 소자의 positive gate bias에 대한 문턱 전압의 변화를 나타냄. Gate bias stress는 150mA/mm의 drain 전류가 흐를 때의 gate 전압으로 설정하였음. (a) HCl (b)  $N_2O$  digital etching (c)  $(NH_4)_2S$

위의 그래프(그림 2-5)에서는 상온 및 150°C 환경에서의 150mA/mm 기준의 positive gate bias에 대한 문턱 전압의 변화( $\Delta V_{TH}$ )를 나타낸다. HCl,  $N_2O$ ,  $(NH_4)_2S$ 를 처리한 소자의 stress를 가한 gate bias는 각각 3.5V, 4.5V, 4V로, 150mA/mm의 drain 전류가 흐를 때의 gate 전압이다. 이와 같이 높은 온도에서의 gate bias stress를 HTGB

stress라 한다. [21] 상온과 150°C 모두 1000초 동안 stress가 가해지면서 문턱 전압의 변화를 측정하였으며, 150°C 환경에서도 stress time이 늘수록 문턱 전압이 positive shift함을 관찰할 수 있었으며, 세 소자 모두 높은 온도에서의 변화 정도가 상온에서의 변화 정도보다 더 컸다는 점을 알 수 있다. 동시에, 150°C 환경에서도 HCl만을 처리한 소자의 문턱 전압의 변화가 가장 크고, N<sub>2</sub>O digital etching, (NH<sub>4</sub>)<sub>2</sub>S를 처리한 소자의 경우 그에 비해 상대적으로 작은 변화를 보임을 알 수 있다.

## 2.2.2 V<sub>TH</sub> instability at negative gate bias

Negative gate bias의 경우, positive gate bias와 달리 channel이 deplete되어 있으므로, 각 소자에 대해 같은 gate bias stress를 가하여 비교하였다. 아래의 그래프(그림 2-6)들은 상온에서 1000초 동안 gate bias -6V와 -12V의 스트레스를 가하며 세 종류의 소자의 문턱 전압의 변화를 측정하였다.



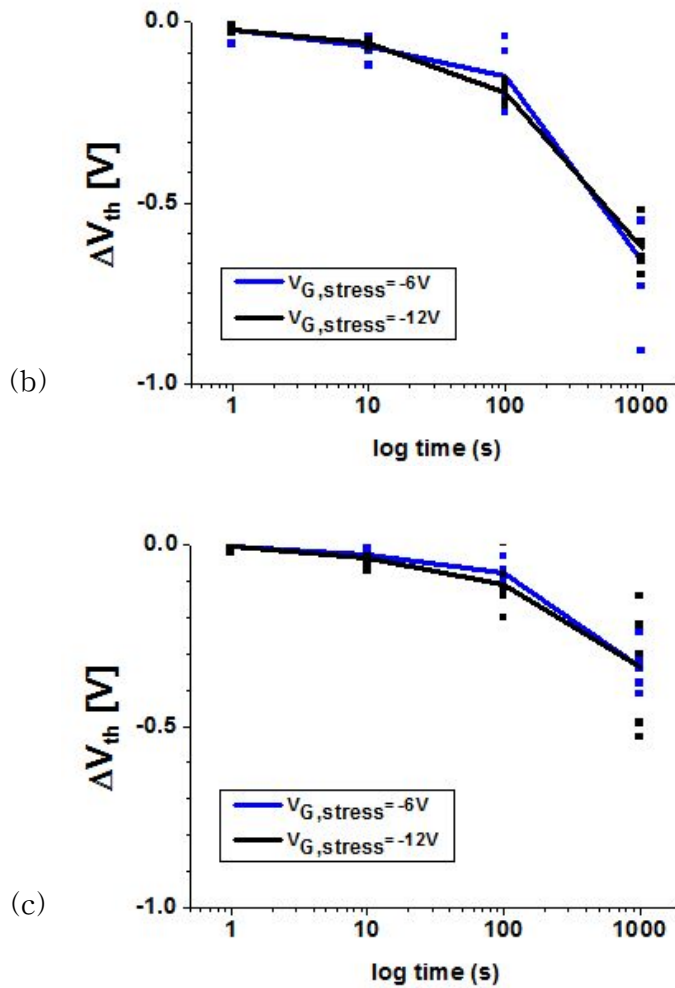


그림 2-6. 상온에서 각 소자의 negative gate bias(-6V, -12V)에 대한 문턱 전압의 변화를 나타냄. (a) HCl (b) N<sub>2</sub>O digital etching (c) (NH<sub>4</sub>)<sub>2</sub>S

세 소자 모두 stress time에 따라 문턱 전압이 negative shift함을 관찰할 수 있었으며, gate bias가 -6V인 경우와 -12V인 경우 문턱 전압의 변화 정도에 큰 차이를 보이지 않았다. 또한, HCl만을 처리한 소자의 문턱 전압의 변화가 가장 크고, N<sub>2</sub>O digital etching한 소자가 그 다음 컷으며, (NH<sub>4</sub>)<sub>2</sub>S를 처리한 소자의 경우 그에 비해 상대적으로 작은 변화를 보임을 알 수 있다.

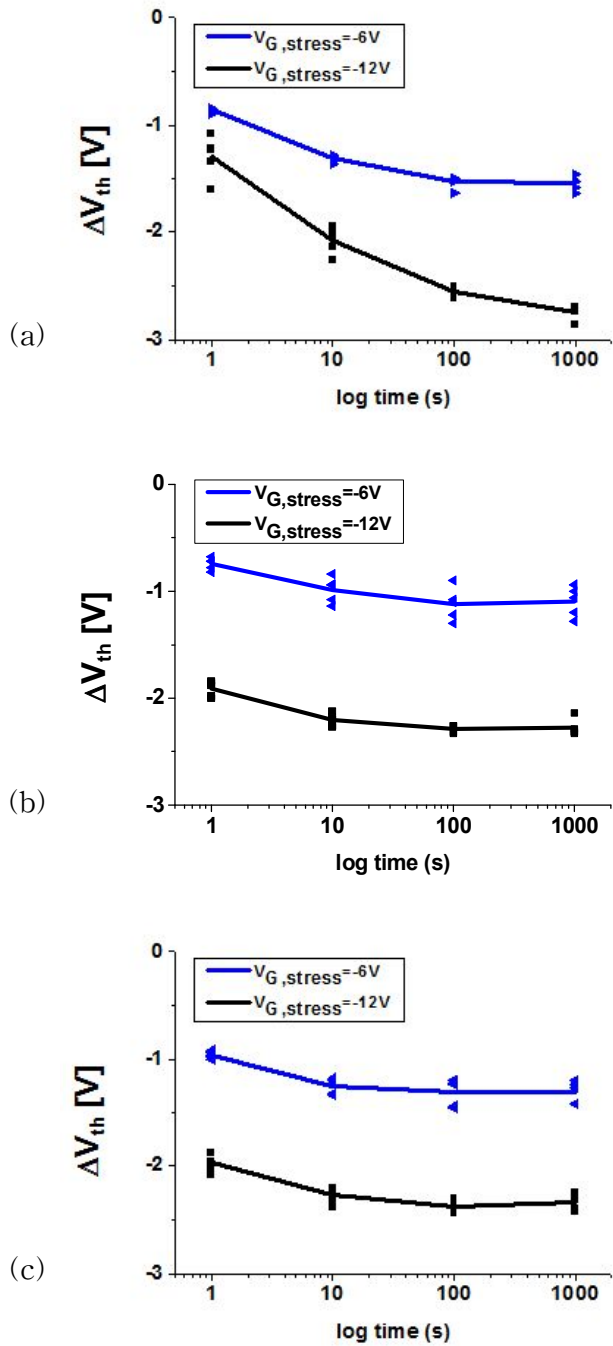


그림 2-7. 150°C에서 각 소자의 negative gate bias(-6V, -12V)에 대한 문턱 전압의 변화를 나타냄. (a) HCl (b)  $N_2O$  digital etching (c)  $(NH_4)_2S$

위의 그래프(그림 2-7)들은 150°C에서 1000초 동안 gate bias -6V와 -12V의 스트레스를 가하며 세 종류의 소자의 문턱 전압의 변화를 측정하였다. 세 소자 모두 stress time에 따라 문턱 전압이 negative shift함을 관찰할 수 있었다. 상온에서의 문턱 전압 이동 정도(그림 2-6)와 비교하자면, 150°C에서는 1000초까지 stress를 가할 경우 거의 -3V에 다다르지만, 상온에서는 -1V를 벗어나지 않음을 보아, 온도가 상승함에 따라 더 크게 negative shift함을 알 수 있다. 또한, HCl만을 처리한 소자의 문턱 전압의 변화가 가장 크고, N<sub>2</sub>O digital etching, (NH<sub>4</sub>)<sub>2</sub>S를 처리한 소자의 경우 그에 비해 상대적으로 작은 변화를 보임을 알 수 있다.

## 2.3 Extended CET map

Forward gate bias stress에 의한 문턱 전압의 변화( $\Delta V_{TH}$ )는 dielectric/AlGaIn interface trap과 관련이 있으며, trap들은 넓은 분포의 trapping과 emission time constant을 가지고 있다. [15] Trap들의 분포는 CMOS device의 BTI(Bias temperature instability)연구에서 쓰였던 CET(Capture emission time) map을 통해 알 수 있다. [22] 각 소자에 대한 CET map을 그리기 전에 CET map의 작성 방법을 살펴보도록 한다.

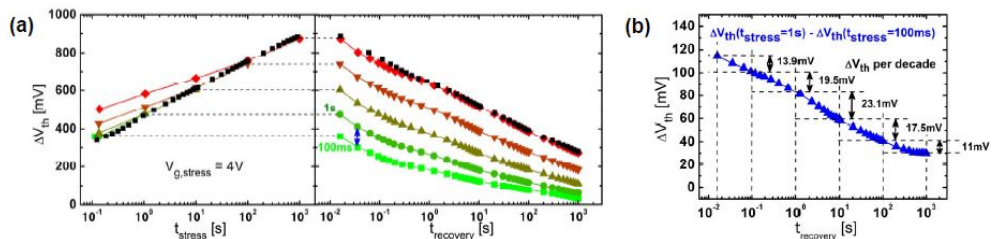


그림 2-8. [15]에서의 CET map 전 측정. (a) CET map을 채우는데 필요한 문턱전압의 변화를 측정, (b) 스트레스 시간이 1초인 경우와 0.1초인 경우의 문턱전압의 변화간의 차를 구하며, 이로부터 CET를 채울 수 있음.

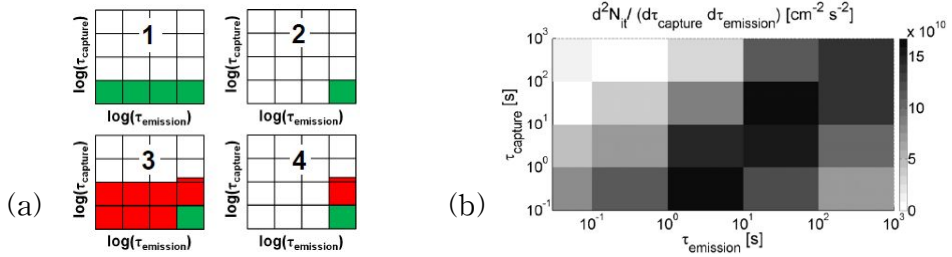


그림 2-9. [15]에서의 CET map. (a) CET map을 채워나가는 순서를 나타낸 것이며, (b) 문턱 전압의 변화 data에 따라 추출된 완성된 CET map을 보임.

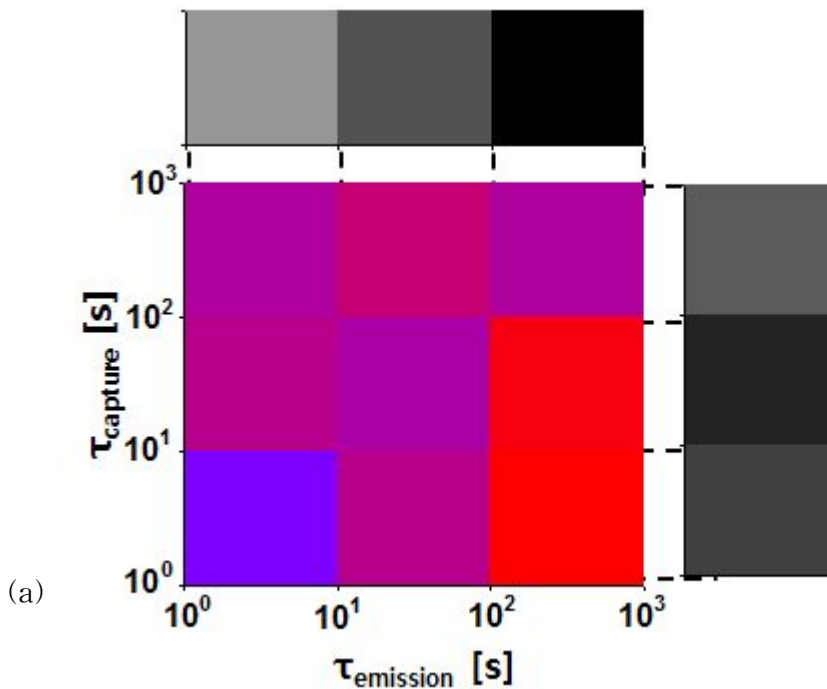
위의 그림 2-8 (a)의 recovery trace는 각 stress time에 대응되는 recovery에 따른 문턱 전압의 변화를 나타낸다. 2-8 (b)의 그래프에서 이웃하는 stress time의 차로부터 recovery time의 문턱 전압의 변화

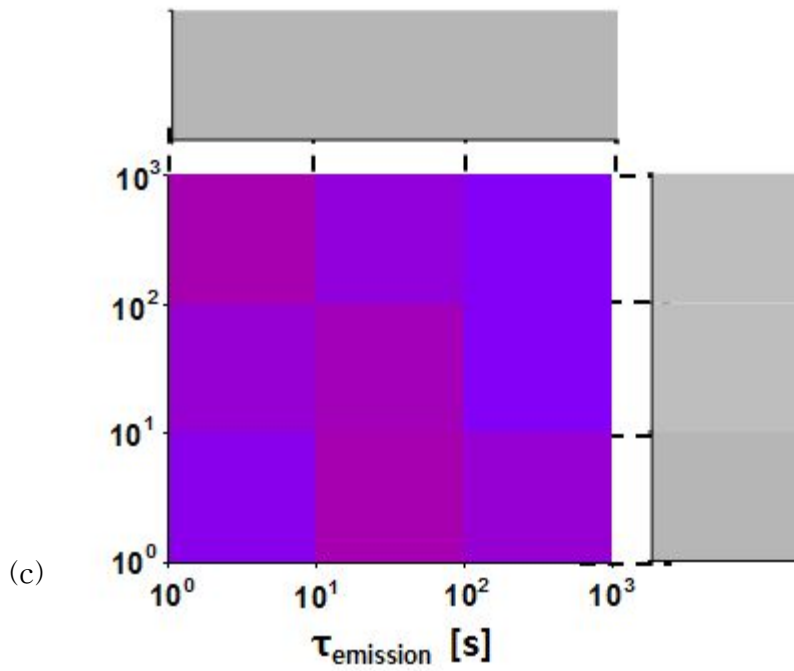
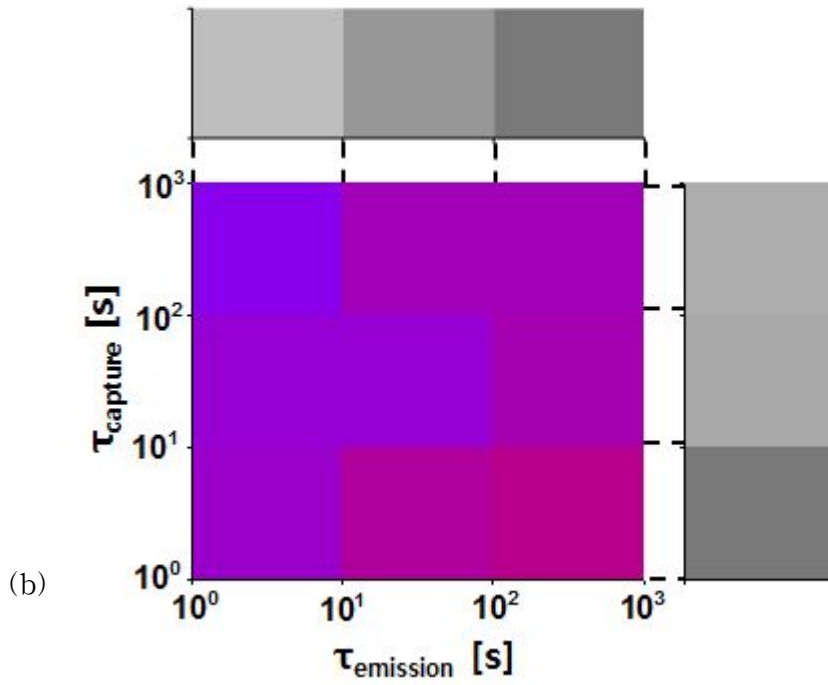
( $\Delta V_{TH}$ )의 차를 구하는 것이다. 이 변화 값들로부터  $N_{it} = \frac{\epsilon_0 \epsilon_{oxide} \Delta V_{th}}{q \tau_{oxide}}$ 의 식을 통해 interface trap density로 바꿀 수 있다. 이는 다른 stress time의 차에서 모든 문턱 전압의 변화를 구하면 전체 CET map을 구할 수 있게 된다.

위의 그림 2-9 (a)는 CET map이 채워져 가는 원리를 설명해주고 있다. 1번에서 첫 번째 stress에서 stress time이 capture time constant보다 적은 trap들은 채워지게 되고(초록색), 큰 trap들은 아직 안 채워지게 된다. 2번에서는 recovery 이후, recovery time 보다 짧은 recovery time constant를 가진 trap들은 emit되어 비워지게 되고, 그 외의 trap은 아직 emit이 안된 상태로 볼 수 있다. 3번은 10배 긴 두 번째 stress에서, 1번 과정과 마찬가지로, stress time이 capture time constant보다 적은 trap들은 채워지게 되고(빨간색), 큰 trap들은 아직 안 채워지게 된다. 4번에서는 2번 과정과 마찬가지로, recovery time 보다 짧은 recovery time constant를 가진 trap들은 emit되어 비워지게 되고, 그 외의 trap은 아직 emit이 안된 상태로 볼 수 있다. 이러한 과정이 계속해서 반복되면, 모든 칸을 그림 2-9 (a)에서 구해둔 interface trap density로 채울 수 있으며, 그 결과인 CET map이 그림 2-9 (b)라 할 수 있다.

위의 CET map의 순서를 따라, HCl wet treatment, N<sub>2</sub>O digital etching, (NH<sub>4</sub>)<sub>2</sub>S wet treatment의 3가지 surface treatment으로 split을 한 gate recess 구조를 가진 AlGaIn/GaN MIS-HEMT에도 150mA/mm 를 기준으로 gate bias stress(각각 3.5V, 4.5V, 4V)를 가하여 그에 대응 되는 recovery time들의 문턱 전압의 변화들로부터 interface trap density들을 추출하였다.

아래의 그림 2-10은 각 소자의 CET map을 나타내었다. CET map을 통하여 각 capture time constant와 emission time constant에 대응되는 interface trap density 값들을 알 수 있다. 이들은 색깔별로 그 농도를 나타내었다. 이에 그치지 않고, 각 capture time constant의 trap density와 각 emission time constant의 trap density를 나타낼 수 있도록 CET map을 확장해보았다. 이는 같은 행과 열이 같은 time constant 를 공유하므로, 그들의 합으로부터 각 time constant의 trap을 구할 수 있었으며, 이들은 흑백별로 그 농도를 나타내었다.





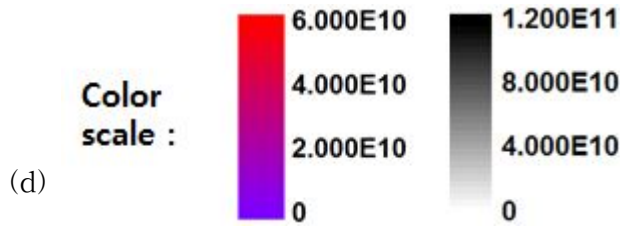


그림 2-10. 각 소자에 대한 CET map과 color scale을 나타냄. 색깔 쪽은  $d^2N_{it}/(d\tau_{capture}d\tau_{emission})$  [ $cm^{-2} s^{-2}$ ]을 나타내며, 흑백 쪽은  $dN_{it}/d\tau$  [ $cm^{-2} s^{-1}$ ]을 나타낸다. (a) HCl wet treatment (b)  $N_2O$  digital etching (c)  $(NH_4)_2S$  wet treatment (d) 각 trap density의 색깔별, 흑백별 농도 스케일을 나타내는 척도.

위의 확장된 CET map을 통하여, HCl을 처리한 소자는 emission시 긴 시간의 time constant를 가진 trap이 많으며,  $(NH_4)_2S$ 를 처리한 소자가 전체적으로 trap이 상대적으로 적음을 확인할 수 있었습니다.

CET map에서의 capture 현상을 positive gate bias stress에서 interface trap이 occupy되어 문턱 전압이 positive shift되고, emission 현상을 negative gate bias stress에서 interface trap이 emit되서 문턱 전압이 negative shift되는 것으로 본다면, HCl를 처리한 소자의 경우 긴 emission & capture time constant의 trap density가 컸기 때문에 그림 2-4 (a)와 그림 2-6 (a)에서 시간이 지날수록 문턱 전압 이동이 더 커지는 모습을 보였다. 반대로,  $(NH_4)_2S$ 를 처리한 소자는 전체적으로 농도가 적었던 만큼 그림 2-4 (c)와 그림 2-6 (c)에서 문턱 전압 이동이 적은 모습을 보였다.

## 제 3 장 Extraction of activation energy from slow detrapping phenomenon

### 3.1 $V_{TH}$ transient three-fold technique

이번 실험에서는 다른 treatment를 시행한 각 샘플에서 slow de-trapping에 초점을 맞출 것이다. 대부분의 논문들은 fast trap (<1s)의 분석과 characterization에 초점을 맞추고 있다. [23, 24] 적은 논문들이 slow trap (>10s)의 분석을 언급하고 있으며 이는 long term stability와 연관이 있다고 한다. [25]

이 실험에서는, dry etching recessed된 AlGaIn위에 별개의 treatment를 행한 후, gate dielectric을 올린 AlGaIn/GaN HEMT에서의 forward gate bias에서의  $V_{TH}$  reliability에 영향을 주는 slow trap을 분석해볼 것이다. 여기서는  $V_{TH}$  transient threefold technique라는 방식을 이용할 것이다. [26]

$V_{TH}$  transient의 threefold 기술은 3가지 step으로 나누어져 있는데, (1) device에 이미 있는 trap을 비우기, (2) forward gate voltage로 trap을 채우기, (3) 다시 reverse gate bias를 가함으로써  $V_{TH}$  회복의 transient를 분석하는 것으로 이루어져있다. 여러 논문에 따르면 dielectric과 III-N interface에서의 trapping과 de-trapping 현상이 GaN MIS-HEMT의  $V_{TH}$  불안정성에 영향을 준다고 한다. [27, 28] 그리하여,  $V_{TH}$  recovery의 transient로부터 추출된 activation energy는 interface에서  $E_C$ 로부터의 energy level로 본다.

앞서 얘기했듯이, 각각 샘플들은 HCl(1:3) 상온 10분, HCl 처리 후  $N_2O$  digital etching 1cycle 그리고 HCl 처리 후  $(NH_4)_2S$  60°C 10분을 treatment한 샘플들이다. 문턱 전압  $V_{TH}$ 는  $V_D=10V$ 의 transfer curve를 측정할 때, 10 $\mu A/mm$ 에서의 게이트 전압으로 설정하였다.

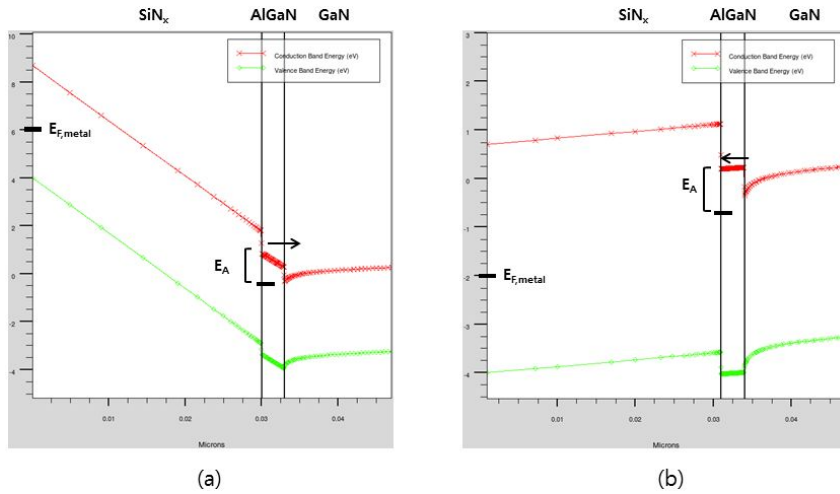


그림 3-1. Silvaco Atlas로 전산 모사된 gate 아래의 gate metal ~ GaN buffer layer에서의 band diagram (a) gate bias -6V (b) gate bias +2V (3개의 샘플이 모두 같은 구조이기 때문에 모두 적용되는 형태이다.)

Threefold 기술을 적용한 실험은 다음과 같이 진행된다. 그림 3-2는 N<sub>2</sub>O digital etching 한 샘플을 80°C에서 측정 한 모습이다.

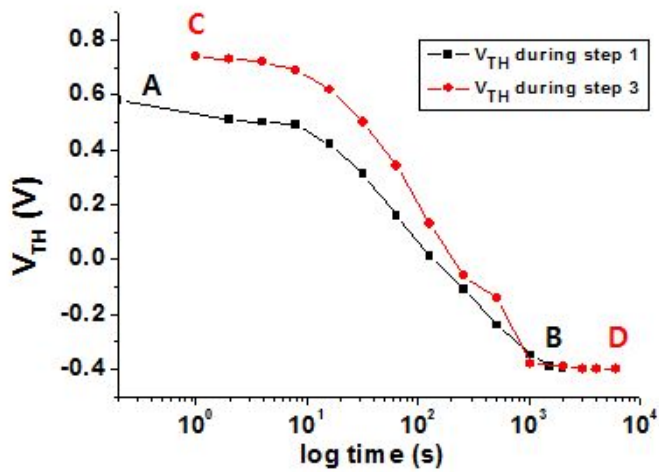


그림 3-2. 80°C에서 N<sub>2</sub>O digital etching 샘플의 문턱 전압의 변화를 보인 그래프 (검은색 선은 step 1의 문턱 전압 안정화 과정이며, 빨간색 선은 문턱 전압 recovery test 과정이다.)

(1)  $V_{TH}$  안정화 과정 : Slow de-trapping 분석을 하기 전에, trapping center에 charge가 모두 de-trap되어있어야 한다. 이 때,  $V_G=-6V$ 로 bias가 주어졌으며, 그림 3-1에서 보면 interface와 2DEG사이로 약 0.5V의 전압이 걸림을 확인할 수 있다. 이로써, interface의 trap이 2DEG로 de-trap되는 것을 볼 수 있다. 이는 threshold voltage의 negative shift로 나타난다.

그림 3-2의 검은색 선에 해당되는 과정으로 각 stress 구간은 2초~1024초, 1500초, 2000초이다. 점 A는 fresh device의 문턱 전압이었으며, 점 B는 1500초가 되니 -1.6V에서 saturation됨을 확인할 수 있었다. (1000초~2000초 사이에 saturation이 발생하였기 때문에 다음과 같은 구간 배치를 시행하였다.)

(2) Positive gate bias stress 과정 :  $V_G=+2V$ 로 AlGaN/dielectric interface에 위치한 trap을 채우는 과정으로, 그림 3-1에서와 같이 band diagram이 나타나기 때문이다. 이 condition에서는 전자가 2DEG에서 AlGaN~dielectric사이의 interface로 주입되며, AlGaN이 급격한 기울기를 이루고 있지 않으므로 dielectric bulk trap으로의 trap을 줄이고 동시에 GaN buffer에서 일어나는 trapping/de-trapping 현상을 줄일 수 있다.

그림 3-2의 점 C에 해당되는 문턱 전압이 점 B에서 stress를 300초 가한 후의 문턱 전압을 의미한다.

(3)  $V_{TH}$  recovery 과정 : 이 마지막 step에서는,  $V_G=-6V$ 에서 bias되어  $V_{TH}$ 가 어떻게 해서  $V_{TH}(0)$ 으로 돌아가느냐를 보려 한다. 이 과정에서 추출된  $V_{TH}$  변화량으로부터 아레니우스 plot을 통해 activation energy를 추출하게 된다.

그림 3-2의 빨간색 선에 해당되는 과정으로 각 stress 구간은 1초, 2초~2048초, 3072초, 4096초, 6144초이다.

### 3.2 $E_a$ extraction from the data of de-trapping

Slow trap을 characterize하기 위해, 실험은 60°C, 80°C, 90°C, 100°C, 120°C의 온도에서 시행되었다. 위의 N<sub>2</sub>O digital etching한 샘플을 통해 activation energy의 추출 과정을 설명하려 한다.

그림 3-3에서 N<sub>2</sub>O digital etching한 샘플의 각 온도(60°C, 80°C, 90°C, 100°C, 120°C)에 따른 문턱 전압의 변화를 관찰할 수 있다. 노이즈를 없애기 위해 미분하기 전에 polynomial fitting을 수행하였다. [28]

그림 3-4에서 N<sub>2</sub>O digital etching한 샘플의  $V_{TH}(t)$ 의  $\log_{10}(t)$ 에 대한 미분 그래프를 나타내고 있다. 여기서  $\partial V_{TH}/\partial \log_{10}(t)=0$ 이 되는 지점을 time constant로 설정할 것인데, 이는 문턱 전압이 가장 빠르게 변화하는 구간으로부터 문턱 전압에 대한 activation energy를 구할 수 있기 때문이다. 온도가 증가함에 따라 time constant가 감소함을 볼 수 있다.

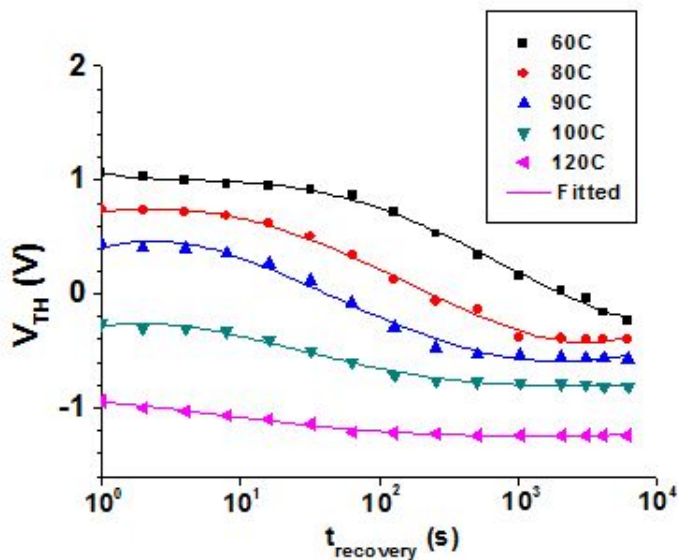


그림 3-3. N<sub>2</sub>O digital etching한 샘플의 서로 다른 온도(60°C, 80°C, 90°C, 100°C, 120°C)의 recovery 문턱 전압의 변화

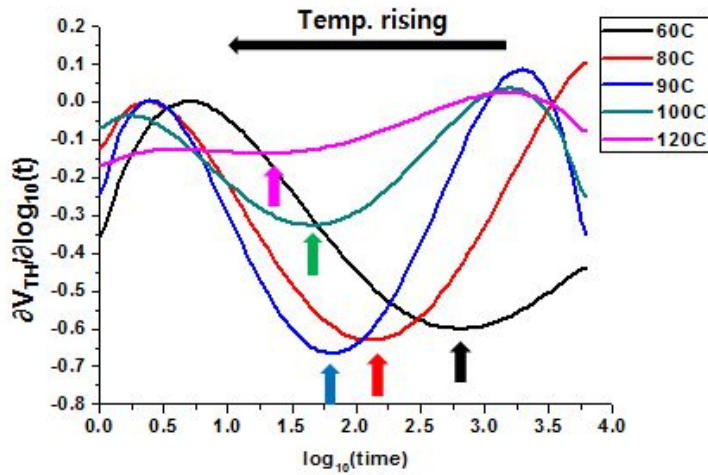


그림 3-4. N<sub>2</sub>O digital etching 한 샘플의  $\partial V_{TH}/\partial \log_{10}(t)$ 와  $\log_{10}(t)$ 간의 그래프. 각 peak점은 de-trapping과정의 time constant로 정의된다.

그림 3-5는 그림 3-4에서 구한 time constant를 arrhenius plot으로 나타낸 것으로, N<sub>2</sub>O digital etching 한 샘플의 activation energy가 0.60eV로 추출되었다.

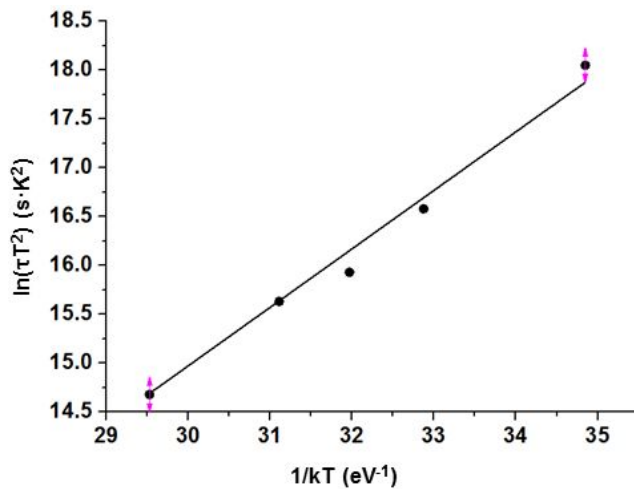


그림 3-5. N<sub>2</sub>O digital etching 한 샘플의 V<sub>TH</sub>에 대한 time constant를 arrhenius plot으로 나타낸 그래프

HCl을 처리한 샘플과  $(\text{NH}_4)_2\text{S}$ 를 처리한 샘플도 같은 방식으로 activation energy가 추출되었다. 그림 3-6은 각 샘플의 recovery 문턱 전압의  $\log_{10}(t)$ 의 변화율을  $\log_{10}(t)$ 에 대한 그래프이며, 이들의 time constant들로부터 activation energy를 추출하였다.

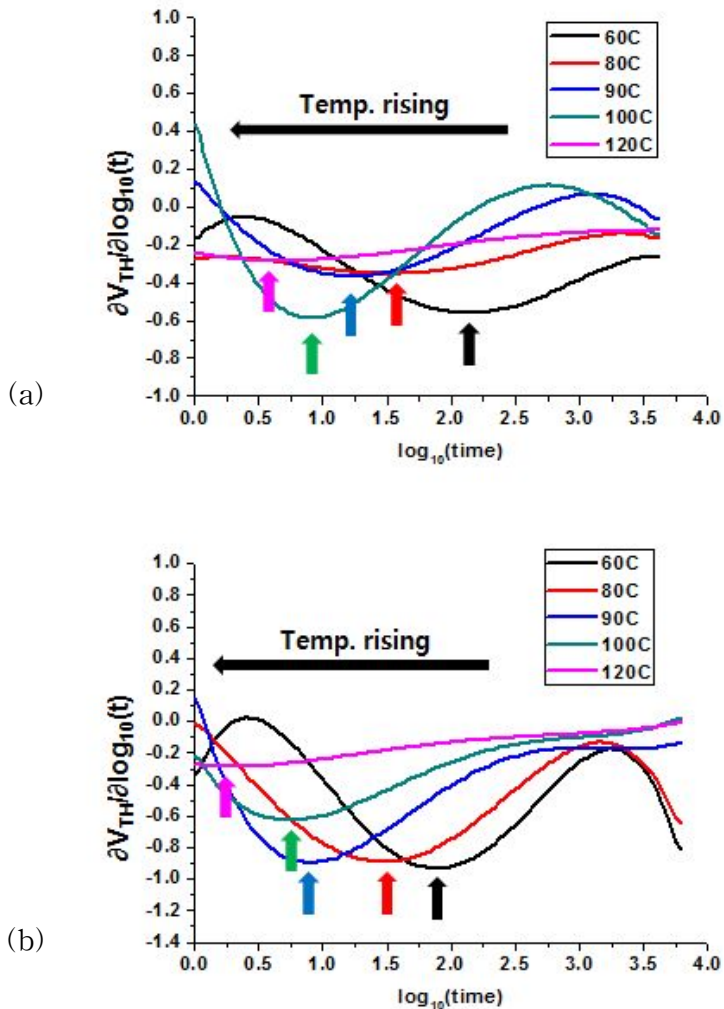


그림 3-6. 각 샘플의 미분 그래프. (a) HCl을 처리한 샘플의  $\partial V_{\text{TH}} / \partial \log_{10}(t)$ 와  $\log_{10}(t)$ 간의 그래프. (b)  $(\text{NH}_4)_2\text{S}$ 를 처리한 샘플의  $\partial V_{\text{TH}} / \partial \log_{10}(t)$ 와  $\log_{10}(t)$ 간의 그래프.

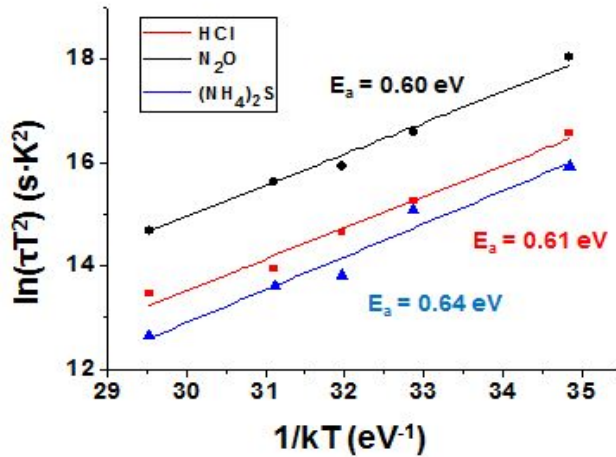


그림 3-7. 각 샘플들의  $V_{TH}$ 에 대한 time constant를 arrhenius plot으로 나타낸 그래프.

그림 3-7에서 HCl을 처리한 샘플,  $N_2O$  digital etching한 샘플,  $(NH_4)_2S$ 를 처리한 샘플의 arrhenius plot을 나타낸 것으로, activation energy가 각각 0.61eV, 0.60eV, 0.64eV로 추출되었다. 세 종류의 소자 모두 0.6~0.64eV의 활성화 에너지를 가짐을 알 수 있다.

다른 논문들의 경우, activation energy가 0.62eV [29], 0.68eV [30]으로 추출되었다. [29]의 경우에는 그 원인을  $SiN_x$  deposition에 의한 surface damage로 보며, [30]의 경우에는 interfacial state에 의한 것으로 보고 있다. 위의 세 소자 모두 gate recess 및 gate dielectric deposition 공정을 진행하였으며, [29, 30]와 같은 level의 activation energy를 나타내었기 때문에, 문턱 전압의 이동이 gate recess 및 dielectric deposition 공정에 의한 surface damage에 의한 것으로 보인다.

## 제 4 장 결론 및 앞으로의 과제

### 4.1 결론

본 연구에서는 뛰어난 물질 특성으로 차세대 파워 디바이스로 각광받고 있는 AlGaN/GaN MIS-HEMT가 normally-off 동작을 위해 gate recess 구조를 가지게 되면서 다양한 동작 조건의 실험으로 온도 및 gate의 bias에 따른 문턱 전압(threshold voltage)의 불안정성(instability)에 대해 분석하였다. Gate recess 구조를 가진 AlGaN/GaN MIS-HEMT의 상용화되기 위해서 요구되어야 할 신뢰성(reliability) 중 하나인 문턱 전압에 대한 불안정성은 recess 구조를 위해 etching된 AlGaN과 그 위에 증착된 gate dielectric 사이의 interface의 trap에 2DEG(2 dimensional electron gas)의 전자들이 gate의 bias에 의해 trap되거나 emit되는 현상에 의한 것으로 보이고 있다. 소자 공정 중 gate dielectric 증착 전에 interface trap을 줄이기 위해 각각 HCl wet treatment, N<sub>2</sub>O digital etching, (NH<sub>4</sub>)<sub>2</sub>S wet treatment를 하여 문턱 전압 이동의 개선 정도를 분석 및 비교하였다. 스트레스 동작 조건은 상온에서 V<sub>DS</sub>=0V로 게이트에 양(positive), 음(negative) 전압 bias를 가하는 것으로 설정하였다. 150℃ 환경에서 같은 조건의 스트레스를 가하는 HTGB(High temperature gate bias) 실험도 같이 행하였다.

세 종류의 소자 모두 양 전압의 스트레스에서 문턱 전압이 양 방향으로 이동(positive shift)하고, 음 전압의 스트레스에서 음 방향으로 이동(negative shift)하는 경향성을 보였으며, 높은 온도에서 그 이동 정도가 더 커짐을 확인하였다. 세 소자 중 (NH<sub>4</sub>)<sub>2</sub>S wet treatment를 행한 소자가 모든 조건에서 문턱 전압의 이동 정도가 가장 적었으며, CET(capture emission time) map을 통해 (NH<sub>4</sub>)<sub>2</sub>S를 처리한 소자의 interface trap이 적음으로 보아, interface trap의 trapping 효과로 인한 문턱 전압의 이동을 확인하였고, (NH<sub>4</sub>)<sub>2</sub>S wet treatment가 이를 가장 잘

억제하였다는 결론을 내릴 수 있었다.

또한 본 연구에서는  $V_{TH}$  transient three-fold technique를 통해, 세 종류의 소자의 deep trap에 의한 문턱 전압에 따른 활성화 에너지를 추출할 수 있었다. HCl wet treatment,  $N_2O$  digital etching,  $(NH_4)_2S$  wet treatment를 한 소자들은 각각 0.61, 0.60, 0.64eV로 추출되었으며, 다른 GaN HEMT 소자들의 활성화 에너지 값들[29, 30]을 비교하여 문턱 전압의 이동이 interface의 데미지에 의한 것임을 확인하였다.

## 4.2 앞으로의 과제

본 연구를 통해 normally-off 동작 구현을 위한 gate recess 공정에 의한 AlGaN 층과 gate dielectric 간의 interface trap이 문턱 전압 이동 현상의 원인으로 파악되어, gate dielectric 증착 전 HCl wet treatment,  $N_2O$  digital etching,  $(NH_4)_2S$  wet treatment 중  $(NH_4)_2S$ 를 처리한 소자가 문턱 전압의 불안정성을 가장 억제했다는 결론을 내릴 수 있었다. 하지만, KOH, NaOH와 같은 다른 wet treatment 및  $O_2$  digital etching을 행한 소자 역시 문턱 전압의 불안정성을 측정하여 비교해볼 필요성이 있으며, 기존 treatment의 온도, 시간, 농도 등을 변경하여 문턱 전압의 불안정성을 가장 완화시키는 최적 조건을 찾아가는 것 역시 필요할 것이라 본다.

또한, 기존 소자의 샘플을 XPS 분석하여 화학적으로 어떤 조성을 이루고 있는지 심층적으로 관찰해볼 필요가 있다. 그리고 recess 구조를 가진 AlGaN/GaN schottky diode의 신뢰성에 대한 연구가 부족하기 때문에 schottky diode의 신뢰성을 측정할 필요성[31]이 있다.

## 참 고 문 헌

- [1] Mishra, Umesh K., Primit Parikh, and Yi-Feng Wu. "AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs—an overview of device operation and applications." PROCEEDINGS-IEEE 90.6 (2002): 1022-1031.
- [2] Mishra, Umesh K., et al. "Ga<sub>N</sub>-based RF power devices and amplifiers." Proceedings of the IEEE 96.2 (2008): 287-305.
- [3] Xing, Huili, et al. "High breakdown voltage AlGa<sub>N</sub>-Ga<sub>N</sub> HEMTs achieved by multiple field plates." Electron Device Letters, IEEE 25.4 (2004): 161-163.
- [4] Ambacher, O., et al. "Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures." Journal of Applied Physics 87.1 (2000): 334-344.
- [5] Vetury, Ramakrishna, et al. "The impact of surface states on the DC and RF characteristics of AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs." Electron Devices, IEEE Transactions on 48.3 (2001): 560-566.
- [6] Oka, Tohru, and Tomohiro Nozawa. "AlGa<sub>N</sub>/Ga<sub>N</sub> recessed MIS-gate HFET with high-threshold-voltage normally-off operation for power electronics applications." Electron Device Letters, IEEE 29.7 (2008): 668-670.
- [7] Uemoto, Yasuhiro, et al. "Gate injection transistor (GIT)—A normally-off AlGa<sub>N</sub>/Ga<sub>N</sub> power transistor using conductivity

modulation." *Electron Devices, IEEE Transactions on* 54.12 (2007): 3393–3399.

[8] Chang, C-T., et al. "Normally-off operation AlGa<sub>N</sub>/Ga<sub>N</sub> MOS-HEMT with high threshold voltage." *Electronics letters* 46.18 (2010): 1280–1281.

[9] Ueda, Tetsuzo. "Reliability issues in Ga<sub>N</sub> and SiC power devices." *Reliability Physics Symposium, 2014 IEEE International*. IEEE, 2014.

[10] Romero, M-F., et al. "Impact of Plasma Power Discharge on AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT Performance." *Electron Devices, IEEE Transactions on* 59.2 (2012): 374–379.

[11] Anholt, Robert. *Electrical and thermal characterization of MESFETs, HEMTs, and HBTs*. Artech House, 1995.

[12] Imada, T., et al. "Reliability analysis of enhancement-mode Ga<sub>N</sub> MIS-HEMT with gate-recess structure for power supplies." *Integrated Reliability Workshop Final Report (IRW), 2011 IEEE International*. IEEE, 2011.

[13] Huang, Sen, et al. "Threshold Voltage Instability in Al<sub>2</sub>O<sub>3</sub>/Ga<sub>N</sub>/AlGa<sub>N</sub>/Ga<sub>N</sub> Metal-Insulator-Semiconductor High Electron Mobility Transistors." *Japanese Journal of Applied Physics* 50.11 (2011): 0202.

[14] Ozaki, Shiro, et al. "Effect of oxidant source on threshold voltage shift of AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMTs using ALD-Al<sub>2</sub>O<sub>3</sub> gate insulator

films." CS MANTECH 2012 conference, Boston MA. 2012.

[15] Lagger, Peter, et al. "Towards understanding the origin of threshold voltage instability of AlGaN/GaN MIS-HEMTs." Electron Devices Meeting (IEDM), 2012 IEEE International. IEEE, 2012.

[16] Kordoš, P., et al. "Impact of surface treatment under the gate on the current collapse of unpassivated AlGaN/GaN heterostructure field-effect transistors." Semiconductor science and technology 21.1 (2006): 67.

[17] Tajima, Masafumi, Junji Kotani, and Tamotsu Hashizume. "Effects of surface oxidation of AlGaN on DC characteristics of AlGaN/GaN high-electron-mobility transistors." Japanese Journal of Applied Physics 48.2R (2009): 020203.

[18] Miyazaki, Eiji, Shigeru Kishimoto, and Takashi Mizutani. "Improvement of the Interface Quality of the Al<sub>2</sub>O<sub>3</sub>/III-Nitride Interface by (NH<sub>4</sub>)<sub>2</sub>S Surface Treatment for AlGaN/GaN MOSHFETs." IEICE transactions on electronics 95.8 (2012): 1337-1342.

[19] Her, Jin-Cherl, et al. "SiN<sub>x</sub> prepassivation of AlGaN/GaN high-electron-mobility transistors using remote-mode plasma-enhanced chemical vapor deposition." Japanese Journal of Applied Physics 49.4R (2010): 041002.

[20] Marcon, Denis, et al. "A comprehensive reliability investigation of the voltage-, temperature- and device geometry-dependence of the

gate degradation on state-of-the-art GaN-on-Si HEMTs." Electron Devices Meeting (IEDM), 2010 IEEE International. IEEE, 2010.

[21] Wong, King-Yuen, et al. "AlGaN/GaN MIS-HFET with improvement in high temperature gate bias stress-induced reliability." Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on. IEEE, 2014.

[22] Lagger, P., C. Ostermaier, and D. Pogany. "Enhancement of  $V_{TH}$  drift for repetitive gate stress pulses due to charge feedback effect in GaN MIS-HEMTs." Reliability Physics Symposium, 2014 IEEE International. IEEE, 2014.

[23] Tirado, José María, José Luis Sánchez-Rojas, and José Ignacio Izpura. "Trapping effects in the transient response of AlGaN/GaN HEMT devices." Electron Devices, IEEE Transactions on 54.3 (2007): 410-417.

[24] Lagger, Peter, et al. "Very fast dynamics of threshold voltage drifts in GaN-based MIS-HEMTs." (2013): 1-1.

[25] Koley, Goutam, et al. "Slow transients observed in AlGaN/GaN HFETs: effects of  $\text{SiN}_x$  passivation and UV illumination." Electron Devices, IEEE Transactions on 50.4 (2003): 886-893.

[26] Tian-Li Wu, et al.: "Analysis of slow de-trapping phenomena after a positive gate bias on AlGaN/GaN MIS-HEMTs with in-situ  $\text{Si}_3\text{N}_4/\text{Al}_2\text{O}_3$  bilayer gate dielectrics", Solid-State Electronics p. 120-125 (2014)

[27] S. Huang, S. Yang, J. Roberts, et al., "Threshold voltage instability in  $\text{Al}_2\text{O}_3/\text{GaN}/\text{AlGaN}/\text{GaN}$  metal - insulator - semiconductor high electron mobility transistors," *Jpn. J. Appl. Phys.*, vol. 50, no. 11, pp. 110202-1 - 110202-3, Oct. 2011.

[28] Meneghini, Matteo, et al. "Trapping and Reliability assessment in d-mode GaN-based MIS-HEMTs for Power Applications." (2014): 1-1.

[29] Okino, T., et al. "Drain current DLTS of AlGaIn-GaN MIS-HEMTs." *Electron Device Letters, IEEE* 25.8 (2004): 523-525.

[30] Bisi, Davide, et al. "Deep-level characterization in GaN HEMTs-Part I: Advantages and limitations of drain current transient measurements." (2013): 1-1.

[31] Lenci, Silvia, et al. "Improvement of the dynamic characteristics of Au-free AlGaIn/GaN Schottky Diodes on 200 mm Si wafers by surface treatments." *Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th International Symposium on. IEEE, 2014.*

## Abstract

# Comprehensive investigation on threshold voltage reliability at HTGB on gate-recessed AlGaIn/ GaIn MIS-HEMT

Seonhong Choi

Dept. of Electrical and Computer Engineering

The Graduate School

Seoul National University

AlGaIn/GaIn MIS-HEMT(High electron mobility transistor) is considered as the promising candidates for power electronics applications due to its properties such as high breakdown field, high carrier density and low gate leakage current. However, additional efforts are needed in regard to the improvement of its reliability and the mechanism of degradation for the commercialization of GaIn device.

In this thesis, the instability of threshold voltage in GaIn power device was studied through stress experiment with various operating condition. The extraction of activation energy was studied in order to analyze the cause of interfacial trap as well.

Since the cause of threshold voltage shift is the trapping and de-trapping of electrons at interfacial state, the samples are split by several surface treatment, which are expected to improve interfacial state. The experiment was conducted in the condition of  $V_{DS}=0V$  with both positive and negative gate bias at both room temperature and  $150^{\circ}C$ .

The activation energy of interfacial trap responsible for threshold voltage instability was extracted by means of improved  $V_{TH}$  transient threefold technique. We found that three of samples has an activation energy around  $0.6\sim 0.64eV$ , which indicates that surface damage mainly causes threshold voltage, according to the database of activation energy.

**keywords :** AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HEMT, surface treatment, threshold voltage instability, high temperature gate bias stress, interfacial trap density

***Student Number :*** 2013-20894